

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183460

(43)Date of publication of application : 30.06.2000

(51)Int.Cl. H01S 5/30  
H01S 5/22  
H01S 5/323  
H01L 29/205  
H01L 21/331  
H01L 29/73  
H01L 29/778  
H01L 21/338  
H01L 29/812  
H01L 33/00

(21)Application number : 10-355696

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.12.1998

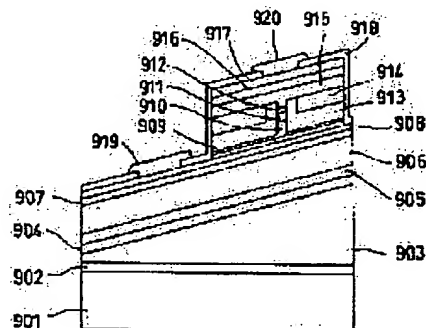
(72)Inventor : KUSHIBE MITSUHIRO  
FUJIMOTO HIDETOSHI

## (54) SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce an influence of returning of a strong light reflected on an interface between a board and a buffer layer to a light emitting area or a functional area of a device by setting the interface between the board and a layer formed directly above the board not parallel to an interface between layers containing no one or more positions of the board.

**SOLUTION:** A GaN high temperature buffer layer 903 is inclined twice in a direction (1-100) on a sapphire board 901 and polished. An SiN selectively grown mask is formed to become an inclined direction in a wave guiding direction to the board, and a mesa structure is formed by etching a part of a GaAlN clad layer 910, an active layer 911, a GaN etching stop layer and a GaInN dummy layer. Thereafter, a GaAlN clad layer 915, an AlGaIn intermediate composition layer 915 and a GaN contact layer 917 are formed. Thereafter, a surface of the GaN layer 908 is exposed. Thereafter, a passivation film 918 is formed, and n-electrode 919 and a p-electrode 920 are formed.



## LEGAL STATUS

[Date of request for examination] 27.02.2002  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183460

(P2000-183460A)

(43) 公開日 平成12年6月30日 (2000.6.30)

| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I           | テ-リ-ト* (参考) |           |
|---------------------------|------|---------------|-------------|-----------|
| H 0 1 S 5/30              |      | H 0 1 S 3/18  | 6 7 0       | 5 F 0 0 3 |
| 5/22                      |      |               | 6 6 2       | 5 F 0 4 1 |
| 5/323                     |      |               | 6 7 3       | 5 F 0 7 3 |
| H 0 1 L 29/205            |      | H 0 1 L 33/00 | C           | 5 F 1 0 2 |
| 21/331                    |      | 29/205        |             |           |

審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平10-355696

(22) 出願日 平成10年12月15日 (1998.12.15)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 櫛部 光弘

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 藤本 英俊

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100081732

弁理士 大胡 典夫 (外1名)

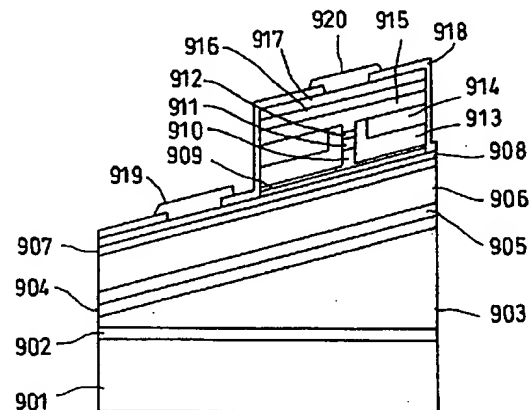
最終頁に続く

(54) 【発明の名称】 半導体素子およびその製造方法

(57) 【要約】

【課題】 基板とバッファ層の界面で反射した強い光がデバイスの発光領域や能動領域に戻る影響を低減すること。

【解決手段】 (0001)面上に厚膜をはやした後に研磨、エッチングを行いあるいは(0001)面上に選択成長を行うことで(0001)面基板上に(0001)とことなる面を形成しその上にAlGaInを用いた素子を形成する。また基板に(11-2n)面等の高指数面のGaIn<sub>1-x</sub>SiC<sub>x</sub>AlNを用いてその上にAlGaInを用いた素子を形成する。



## 【特許請求の範囲】

【請求項1】 特異結晶面と略一致する表面を持つ絶縁体あるいは半導体あるいは導電体基板上に、基板と結晶構造或は格子定数が異なる層が二層以上形成されており、基板と基板直上の層がなす界面と、少なくとも基板以外の2つの層の間の界面の一部分とが平行でないことを特徴とする半導体素子。

【請求項2】 基板上にバッファ層を形成後、該バッファ層の表面のエッチングまたは研磨を行い基板とバッファ層とがなす界面と非平行な面を形成し、あるいは選択成長法により基板とバッファ層とがなす界面と非平行な面を選択成長部表面に形成し、しかる後に光半導体素子の発光領域あるいは電子デバイスの能動領域を形成したことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】 GaNまたはAlNの(0001)面より0.05度以上角度の異なる面方位の基板上に堆積された半導体素子。

【請求項4】 基板と光デバイスの発光層との間に量子井戸構造を有することを特徴とする請求項3に記載の半導体素子。

【請求項5】 AlN基板またはSiC基板上に形成されたAlNまたはGaN基板上に形成されたAlN上に少なくともAlNに対して臨界膜厚以下の厚さの $\text{Al}_x\text{Ga}_{1-x}\text{In}_y\text{N}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq 1-x-y \leq 1$ )またはSiCよりなる電子走行層と $\text{Al}_z\text{Ga}_{1-z}\text{N}$  ( $0 \leq z \leq 1$ )ゲートを有することを特徴とする半導体素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体レーザなどの半導体素子に関し、特に基板と結晶の格子定数、屈折率等の特性が大幅に異なる材料を発光層や能動領域に用いた半導体素子に関する。

## 【0002】

【従来の技術】 GaN系のデバイスではGaNの良質な基板が得られていないために格子不整の大きいサファイア、SiC、スピネル、Si等の基板が試みられている。このうち、サファイアを用いたものではレーザの数千時間の信頼性が確認されるなど、もっとも有望と考えられている。しかしGaN/サファイア系の光半導体デバイスでは、結晶の構造が異なるために良質な結晶を成長することが難しく、低温でGaNバッファ層を成長した後温度を上げて結晶化してその後デバイス構造を作成するといったことが行われている。

【0003】 しかしこの方法でも良質な結晶を成長することが難しい。このためバッファ層を形成後、開口率の低い窓を開けた選択成長マスクを形成し、この窓を出発点として選択成長マスク上にAlGaN層をラテラルエピタキシーする方法も試みられている。この方法だと、ラテラルエピタキシーを行った層の一部で転位密度を容易に下げることができるので、その上にレーザの活性層を形

成すると、活性層内の転位密度を下げ発光効率を高めることが出来る。しかしこの方法は複雑であり、大面積化は難しい。

【0004】 また発光効率を上げるためには活性領域中にIn組成の高いGaInNを形成することや量子ドットを形成することが重要との考え方がある。このために活性層を形成する前に、格子定数が大きく異なる層を形成して島状構造を形成しての凸凹の上に活性層を形成して量子ドットを形成しレーザの特性を上げようという試みがなされている。(特開平10-215029)

一方サファイア上のGaN系のレーザではサファイア基板とGaN層との界面で反射した光のためにレーザが異常なモード構造を示すことが知られている。これは従来のII-V族化合物半導体を利用したレーザ或いはでは基板と活性領域或いはクラッド層との屈折率差が屈折率の絶対値に対して0.1程度であったのに対して、この系では0.3-0.4に達しており、反射率で一桁程度大きくなるためである。このような現象は上記ラテラルエピタキシーを行ったものや凸凹上の結晶を成長したものでも変わらぬ問題となる。ラテラルエピタキシーを行った場合には、選択成長マスク上に活性領域が略平坦に形成されるので通常のサファイア基板上に形成された場合と同様に反射の問題が生じてくる。特開平10-15171の凸凹上に活性層を形成する場合、凸凹の高さが5nmと光学的な大きさに対して小さいので反射の問題を回避することが出来ない。

## 【0005】

【発明が解決しようとする課題】 このように、基板とバッファ層の屈折率差に伴い、光半導体で発光した光が基板とバッファ層との界面で反射し発光領域に戻りモードノイズを起こす問題を防ぐことにある。また本発明者らの鋭意研究の結果、電子デバイスでもキャリアが再結合すると発光しており、基板とバッファ層の界面で反射率が高く強い光が反射されると、デバイスのノイズの原因となることがわかった。本発明の目的は基板とバッファ層の界面で反射した強い光がデバイスの発光領域や能動領域にに戻る影響を低減することにある。さらに、格子不整の大きな基板の上に良質な結晶を均一に成長できるようにすることにある。

## 【0006】

【課題を解決するための手段】 本発明の半導体素子は、特異結晶面と略一致する表面を持つ絶縁体あるいは半導体あるいは導電体基板上に、基板と結晶構造或は格子定数が異なる層が二層以上形成されており、基板と基板直上の層がなす界面と、一カ所以上の基板を含まない層の間の界面とが平行でないことを特徴とするものである。

【0007】 活性領域あるいは能動領域全体は略同一の平面内に形成されている。ここで略同一面内とは、平面の荒れが、研磨法により形成されたいわゆる傾斜基板の数倍以内で結晶学的特異面から同一方向に傾斜しているあることとする。さらに、基板と基板直上の層がなす界

面と、この界面と平行でない界面とのなす平均の角度を $q_1$ とするならば、直径数十nm以下のごく小領域での面荒れを除き、面荒れが、 $q_1$ に対して数分の一以下である。平均の面方位に対して数十nm以内の凹凸を含むものとする。

【0008】光半導体素子の場合にはこの段差は、活性層の厚さに対して半分以下であることが望ましい。電子デバイスにおいては、能動領域（電界効果デバイスにおいてはキャリア走行層、ヘテロバイポーラトランジスターにおいてはベースのコレクターとエミッターとの接合領域）の厚さの数分の一以下以下であることが望ましい。

【0009】活性層あるいは能動領域のヘテロ界面が結晶の特異面から傾斜している場合には、この傾斜に伴い、段差の下限が一原子層あるいはその数倍となることは言うまでもない。結晶の特異面を利用する場合には、段差の下限は特異面に自身の表面の凹凸よりも大きくなる。

【0010】本発明の望ましい実施形態として、特異結晶面と略一致する表面を持つ絶縁体あるいは半導体あるいは導電体基板上に、基板と結晶構造或は格子定数が異なる層が二層以上形成されており、基板と基板直上の層がなす界面と、少なくとも基板以外の2つの層の間の界面の一部分とが平行でない半導体素子であって、特に半導体素子が光半導体素子であり、発光領域をなすヘテロ接合の界面と、基板と基板直上の層がなす界面とが平行でないことを特徴とする半導体素子が上げられる。

【0011】本発明の望ましい実施形態として、特異結晶面と略一致する表面を持つ絶縁体あるいは半導体あるいは導電体基板上に、基板と結晶構造或は格子定数が異なる層が二層以上形成されており、基板と基板直上の層がなす界面と、少なくとも基板以外の2つの層の間の界面の一部分とが平行でないことを特徴とする半導体素子において、光半導体素子における発光領域あるいは電子デバイスにおける能動領域をなすヘテロ接合の界面が基板と基板直上の層がなす界面と異なる特異面あるいはその微傾斜面からなることを特徴とする半導体素子が上げられる。

【0012】特に、光半導体素子の実施形態として、発光層をなすヘテロ接合の界面と、基板と基板直上の層がなす界面とが非平行であり、発光層をなすヘテロ接合の界面と基板と基板直上の層がなす界面との角度を光の導波方向と垂直方向に測った角度を $q_1$ 、レーザの活性領域の幅を $w$ 、活性領域と基板との最短の距離を $d$ としたときに $2d \sin(q_1) > w$ の関係が満たされていることが望ましい。

【0013】また本発明の実施形態として、電界効果型トランジスターにおいて電子走行層の両側の界面と、基板と基板直上の層がなす界面とが非平行でありことが望ましい。また、ゲートのキャリアの流れる方向に走行

領域のヘテロ接合の界面と基板と基板直上の層がなす界面とのなす角度を測った角度を $q_2$ 、ゲートの長さを $w$ 、ソースドレインの距離を $w_2$ 、走行領域と基板との最短の距離を $d$ としたときに $2d \sin(q_2) > w$ の関係が満たされていることが望ましく、 $2d \sin(q_2) > w_2$ の関係が満たされていることがより望ましい。

【0014】また本発明の実施形態として、ヘテロバイポーラトランジスターにおいてベース層の両側の界面と、基板と基板直上の層がなす界面とが平行でないことが望ましい。

【0015】本発明の望ましい実施形態として特異結晶面と略一致する表面を持つ絶縁体あるいは半導体あるいは導電体基板上に、基板と結晶構造或は格子定数が異なる層が二層以上形成されており、基板と基板直上の層がなす界面と、少なくとも基板以外の2つの層の間の界面の一部分とが平行でないことを特徴とする半導体素子において、発光層あるいは能動層が $Al_xGayIn_{1-x-y}N$  ( $0 \leq x < 1, 0 \leq y \leq 1, 0 \leq 1-x-y \leq 1$ )であり、基板がサファイアであることを特徴とする半導体素子が上げられる。

【0016】つまり、本発明の実施形態として、光半導体素子において発光層を $Al_xGayIn_{1-x-y}N$  ( $0 \leq x < 1, 0 \leq y \leq 1, 0 \leq 1-x-y \leq 1$ )、基板をサファイアとすることが出来る。電界効果トランジスターにおいては電子走行層を $Al_xGayIn_{1-x-y}N$  ( $0 \leq x < 1, 0 \leq y \leq 1, 0 \leq 1-x-y \leq 1$ )、基板をサファイアとすることが出来る。ヘテロバイポーラトランジスターにおいてベース層を $Al_xGayIn_{1-x-y}N$  ( $0 \leq x < 1, 0 \leq y \leq 1, 0 \leq 1-x-y \leq 1$ )、基板をサファイアとすることができる。

【0017】本発明の半導体素子を形成するにあたっては、基板上にバッファ層を0.1 $\mu m$ 以上望むべくは数 $\mu m$ 以上形成後、該バッファ層の表面のエッチングまたは研磨を行い、基板とバッファ層とがなす界面と非平行な面を形成する。ドライエッチングを行う際には、マスクパターンを形成し、エネルギーの高いビームで略特定の面を形成し、その後ケミカルなエッチングを行い面を形成する方法をとってもよい。ウェットな方法で行う場合には、マスクパターンを形成した後にエッチングを行ってもよい。研磨を行う場合には、バッファ層として数百 $\mu m$ 以上の層を形成した後に研磨をおこなってもよい。

【0018】本発明の半導体素子の製造方法として基板上或は基板上に形成したバッファ層上に選択成長膜を形成し、しかる後に被服率の不均一さを利用して厚さに分布のある層を形成し、一定の面を形成した後光半導体素子の発光領域あるいは電子デバイスの能動領域を形成したことを特徴とする半導体素子の製造方法を上げることができる。

【0019】基板上にあるいは基板上に形成したバッファ層上に動作領域の周囲で被服率を変えて選択成長膜を形成し、しかる後に被服率の不均一さを利用して厚さ

に分布のある層を形成し、一定の面を形成した後更にそのまま光半導体素子の発光領域あるいは電子デバイスの能動領域を形成してもよい。基板上に選択成長法により傾斜面形成後選択成長マスクを除去し光半導体素子の発光領域あるいは電子デバイスの能動領域を形成してもよい。

【0020】本発明の半導体素子は、AlNまたはGaNのようなウルツァイト構造の結晶を用いてGaNまたはAlNの(0001)面より0.05度以上角度の異なる面方位の基板上に形成されていてもよい。この中に2H-SiCを含む。特に基板がAlNまたはGaNであり、 $(h\ m\ -h\ -m\ n)$  ( $|n/h|$ または $|n/m|$ の一方が3以上または1/3以下、 $n$ は0ではない、 $h$ と $m$ の一方は0でない、 $h, m, n$ は整数)面基板上に形成されていてもよい。この場合just面だけではなく微傾斜した面でもよい。またAlN或いはGaNの代りに2H-SiCを用いてもよい。六方晶系のSiCにおいて(0001)面からのoff角度が2H-SiCで上記面方位に相当する面方位の基板を用いてもよい。特に(11-2n)で $n$ が4以上の偶数であることが実施形態として望ましい。この場合just面だけではなく(11-2n)から微傾斜した面でももちろん良い。ZnSe系の結晶の場合にも、活性層のヘテロ界面として(11n) ( $|n|$ は3以上)の特異面あるいはその微傾斜面を利用する。

【0021】更に基板と光デバイスの発光層、電子デバイスの走行層(以下動作領域と呼ぶ)の格子定数が異なる場合基板の $(h\ m\ -h\ -m\ n)$  ( $|n/h|$ または $|n/m|$ の一方が3以上または1/3以下、 $n$ は0でない整数、 $h, m$ は整数であり $h$ または $m$ の一方は0でない)面を利用しかつ基板と動作領域の間に量子井戸を設ける。

【0022】AlNまたはSiCまたはGaN上に設けた厚さ2  $\mu\text{m}$ 以上のAlN上に、AlNにたいして臨界膜厚以下で $\text{Ga}_x\text{In}_y\text{Al}_{1-x-y}\text{N}$  ( $0 \leq x < 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq 1-x-y \leq 1$ )またはSiCまたはこの組み合わせで電子走行層を設け、ゲートとして $\text{Al}_p\text{Ga}_q\text{In}_{1-p-q}\text{N}$  ( $0 \leq p < 1$ ,  $0 \leq q \leq 1$ ,  $0 \leq 1-p-q \leq 1$ )を設けて電界効果デバイスを形成する。

【0023】基板表面が結晶の特異面と略一致していないと基板上に原子ステップが多数形成される。基板と基板直上に形成される層では結晶構造或は格子定数が異なるのでステップ毎に基板と垂直方向に段差が生じるとともに応力の集中が起こりステップ毎に基板直上の結晶が切れて欠陥が導入されるようになる。本発明の半導体素子では、基板表面が特異面と一致しているので、このようなことが起こらないので、基板直上の層への欠陥の導入が抑制される。特に、GaN/サファイアの系では基板上に薄膜のアモルファス或は多結晶状の層を形成した後温度を上げて単結晶化するのでこの事は重要となる。

【0024】また、本発明では活性層あるいは能動層は基板と非平行であるので光った光が基板との界面で反射された後に活性層あるいは能動層に戻りやすく、光ノイズの影響を低減できる。光が光デバイスの活性層や電子

デバイスの能動領域に入る効果の影響は、光デバイスの光ノイズとしてより顕著であるが、電子デバイスの場合にも、キャリアの再結合に伴い発光した光がノイズの原因となる。本発明では能動領域近傍で光った光が反射により能動領域に戻ることを低減するので、電界効果デバイスやヘテロバイポーラートランジスタのノイズを低減することが出来る。

【0025】また、本発明ではデバイス領域が同一面内に形成されているので、デバイスのサイズ内で結晶の特製が均一である。このため、光デバイスの発光効率、波長、電子デバイスの動作電圧、増幅率等が素子内で一様であり、高性能な素子を得ることができる。

【0026】また前項で述べた実施形態をとった場合、基板との界面での反射光が光半導体素子の活性層や電子デバイスの能動領域に戻ることを幾何学的に除去できるので本発明の効果がより顕著となる。

【0027】基板をサファイアとして光半導体の発光領域や電子デバイスの能動領域にAlGaIn系材料を用いた場合、サファイアの屈折率が1.7程度でGaIn系材料が2.4程度なので屈折率差が大きく本発明の反射光抑制の効果は大きい。また基板としてSiCを用いた場合には、屈折率は2.7-2.9程度であり、サファイアの場合ほどではないが本発明の効果が認められる。またAlNを用いた場合には屈折率が1.7なので本発明の効果が大きい。

【0028】またSiO<sub>2</sub>やSiCの上にラテラルエビタキシーを行うことができるが、SiCやSiO<sub>2</sub>のマスク材は屈折率が小さいので、マスクと半導体層の界面で強い光の反射が起きる。この場合本発明を適用することでラテラルエビタキシー層のマスク側とマスクの間の界面での反射の影響を低減できる。とくにこの場合、マスクとラテラルエビタキシー層との間に空隙が出来る場合があり、空隙の屈折率は略1となり反射の効果が大きいので本発明は重要となる。なお、ラテラルエビタキシーを行なった場合、六方晶の(0001)面基板上に結晶が直接形成されているわけではないが、選択成長マスク表面は結晶との相互作用が弱いので結晶のマスク側にも表面にも(0001)のほぼ平行な面が形成される。このため、実効的に(0001)のjust面上に半導体層が形成されたのと同じ構造となっている。このため、ラテラルエビタキシーをおこなった結晶の表面がマスク表面或いは結晶のマスク側と並行にならないようにした構造は、本発明の範疇に含まれることになる。

【0029】本発明の半導体素子を形成するにあたっては、光半導体の発光領域にしても電子デバイスの能動層にしても(以下動作領域と呼ぶ)大きさが数 $\mu\text{m}$ 以上ある。動作領域内に反射光が多数回戻らないためには動作領域と基板とを数 $\mu\text{m}$ 以上離してまた基板とバッファ層の界面と動作領域の界面とは数度以上角度がついている必要がある。一方、特性の均一性を考えると動作領域の平坦性が高いことが望ましい。最初に0.1 $\mu\text{m}$ 以上バッ

ァー層を形成すると、数 $\mu\text{m}$ の幅で均一に傾斜領域を形成する事が出来る。バッファ層を数 $\mu\text{m}$ 以上取ると数百 $\mu\text{m}$ の略チップサイズの全域に対して均一に傾斜面を形成できるようになる。マスクパターンにより周期構造をウェハ全域に形成することでウェハ内に周期的に傾斜面を形成でき、多数のチップが作成できるようになる。ドライエッチングを用いると自由な方向に面を傾斜させることが出来る。この場合、エネルギーを上げて所定の方に傾斜面を作成することが出来る。このプロセス後にエネルギーを下げてケミカルなエッチングを行うことでダメージを除去できるとともに、平坦な面を得ることが出来る。

【0030】一般に結晶成長を行っても研磨を行ってもウェハ一端数 $\text{mm}$ は均一にプロセスを行うことは難しい。このため実際のウェハプロセスでは、両端の数 $\text{mm}$ を除いて、チップが取れる。面積は自乗で効くので、ウェハの一辺の半分以上がチップの取れない領域となると急激に歩留まりが低下する。このため、ウェハの最低サイズは1 $\text{cm}$ 程度となる。この時ウェハ全体に数度の傾斜角をつけようとするウェハの両端で数百 $\mu\text{m}$ 程度の段差となる。前項で本発明の実施形態として記載したように数百 $\mu\text{m}$ 以上のバッファ層を形成した後には研磨を行うと実効的なウェハサイズで、基板とバッファ層の界面に対して、傾斜面を形成することが出来、更に引き続き活性領域を形成することが出来る。

【0031】基板上にあるいは基板上に形成したバッファ層上に動作領域の周囲で被服率を変えて選択成長膜を形成した後に選択成長を行うと、被服率の高い側での厚さが厚くなる。この差を利用して傾斜面を形成することが出来る。マスクに周期構造を導入することでウェハ全体で傾斜面を周期的に形成することが出来る。更にこのまま動作領域を形成すれば、傾斜面上に動作領域が形成でき本発明の半導体素子を実現できる。更に傾斜面形成後に選択成長マスクを除去し、動作領域の層を形成すれば選択成長膜が除かれて成長速度が略均一になっているので均一な厚さむらの少ない動作領域層を実現できより高性能な本発明の半導体素子を実現できる。

【0032】本発明の半導体素子は、AlNまたはGaNあるいは2H-SiCのようなウルツァイト構造の結晶を用いてGaNまたはAlNまたは2H-SiCの(0001)面より0.5度以上角度の異なる面方位の基板上に形成されていてもよい。GaNの場合、off角度が0.5度以上となると発光効率が急激に改善された。AlNの場合、off角度が0.5度以上でAFMで観察した表面のステップが一方向にそろうようになった。2H-SiCの場合はoff角度が0.5度以上でステップの形状が平坦になり、その上にAlGaIn系材料を堆積すると其の平坦性が向上でき。またデバイスの動作領域を( $h\ m\ -h\ -m\ n$ ) ( $|h/n|$ または $|m/n|$ の一方が3以上または1/3以下、 $n$ は0ではない、 $h, m$ は整数、 $h, m$ の一方は0出ない)の特異面あるいはその微傾斜面基板上に形成すると、方向のそ

ろったステップが多数形成されるので、結晶成長中のステップフローに必要な距離を小さくできかつそのばらつきを小さく出来るのであるので平坦性を向上することが出来る。特にSiCの結晶を基板に用いた場合には(0001)面から傾ける角度を2HのSiCで考えて上記指数面が出る方向に傾けるとその上に形成されるウルツァイト或いはウルツァイト類似の結晶は上記指数面或いは上記指数面に傾いた傾斜面で成長する。特開平9-180998では4H或いは6HのSiCに置いて、SiC基板がC軸からなす角度が0度と53度の間にあるとSiC上に形成するAlGaInとの熱膨張係数の整合により良質な結晶が得られることが述べられているが、他の結晶構造のSiCでも4H或いは6HのウェハでC軸からのoff角度が53度以上でも本特許条件を満たしている場合には、良質な結晶が得られた。

【0033】 $h, m$ が1、 $n$ が4以上の偶数で( $11-2n$ )のIII族面を用いた場合には、ステップに沿ってp型不純物の取り込みを向上することができる。またV族面の場合にはn型不純物の取り込みを向上することができる。特にIII面上でGaIn系系の光デバイスの場合、ステップに沿ってInの組成を高くすることができるので光デバイスの長波長化、高出力化、信頼性の向上を実現することが出来る。またp型不純物の取り込まれが向上できるのでこの点でも光デバイスの長波長化、高出力化、信頼性の向上の上で有利となる。2HのSiCの場合には、Si面でp型不純物及びInの取り込まれが促進された。 $n$ が奇数の場合にはV族ステップとIII族ステップが段差を形成しながら交互に現れるので、不純物の取り込まれという点では顕著な特性は現れないが、結晶の特性の再現性向上という面では有利に働く。

【0034】更にウルツァイト型の結晶では転移の伝播が容易な方向がC軸方向なので、ヘテロ接合を形成した場合に転移が結晶成長方向から垂直ではなくなる。このため、転移が( $h\ m\ -h\ -m\ n$ ) ( $|n/h|$ または $|n/m|$ の一方が3以上または1/3以下、 $n$ は0ではない、 $h$ または $m$ の一方は0でない、 $h, m, n$ は整数)面内を伝播するようになる。このため多数のヘテロ接合の上に活性領域を形成すると転位が成長方向からずれるようになり低転位領域に活性層が形成できデバイスの信頼性を向上することが出来る。

【0035】また活性領域が特異面から微傾斜している場合を含み、本発明の半導体素子では、デバイスが結晶の概略平坦面上に形成されている。このため、方向の決まった均一に高密度なステップのある領域で結晶成長がすすむ。このため、結晶の成長方向が一方向に均一にすすみ、In組成、不純物濃度等が均一に制御できる。

【0036】ZnSe系の結晶の場合にも、活性層のヘテロ界面として( $11n$ ) ( $|n|$ は3以上)の特異面あるいはその微傾斜面を利用するとステップの数が多いため結晶のステップフローに必要な距離を小さくできるので平坦性を向上することができる。特に $n$ が奇数の時にはステ

ップに沿ってp型不純物の取り込みを向上することができる。

【0037】AlNの熱伝導率はGaNの2倍程度有る。サファイアに対しては、5倍程度ある。このためAlNを基板として用いると動作領域の熱抵抗が大幅に低下し温度特性を向上することができる。基板としてSiCを用いると更に熱伝導率は1.5倍以上となるがGaNと比べてバンドギャップが小さいために絶縁性を維持することができない。SiC上にAlNを2μm以上設けたところ、AlN/SiCの基板側でのリーク電流はサファイア基板上にGaNのHEMTを形成した場合とほぼ同程度となった。GaN上にAlNを厚さ2μm以上設けたところAlN/GaNの基板側でのリーク電流が低下しピンチoff特性が向上した。これは、AlNとGaNのいずれもが窒化物であり容易にGaNの良質な結晶が得られるからである。AlN上またはSiC上に設けた厚さ2μm以上のAlN上に、AlNにたいして臨界膜厚以下でGaNまたはGaInAlNまたはSiCの走行層を設けたところゲートドレイン間の臨界電圧はほぼ一定であったが、走行層の厚さを、臨界膜厚以上としたところ、臨界電圧が急激に低下した。この時SiCを走行層とするとAlNに対して臨界膜厚が大きく電子バリアを高く取れるのでゲインの大きな素子を得ることができた。またゲートとして基板のAlNに対して臨界膜厚以下のAlNまたはAlGaNを設けることで、基板と同様の高い絶縁性を確保することができる。

【0038】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0039】(実施例1) 図1は、本発明の実施例でサファイア基板上に形成された端面発光型の半導体レーザの活性層に対して光の導派方向に垂直な断面である。図中の101-114はそれぞれ表面が(0001)面であるサファイア基板(101)、GaN低温成長バッファ層(102)、GaN高温成長層(103)、斜め研磨面(104)、GaNバッファ層(105)とAlGaNクラッド層(106)、GaN光ガイド層、Ga1-xInxN/Ga1-yInyNのMQWよりなる発光層、GaN光ガイド層、AlGaN電流ブロック層、GaN光ガイド層よりなる活性層(107)、AlGaNクラッド層(108)、GaNコンタクト層(109)、活性領域を形成するメサ構造(110)、AlGaN埋込み層(111)、n電極用コンタクト面(112)、n電極(113)、p電極(114)である。このレーザは以下のような工程で作成した。まずサファイア基板(101)上にMOCVDによる低温成長でGaNバッファ層(102)を形成した。この時、Gaの原料としてはTMGまたはTEGを用いることが出来た。窒素原料としては、アンモニアを用いた場合には、成長温度は480-550Cの間であればよく、モノメチルヒドラジンまたはジメチルヒドラジン或はこれらのメチル基のついたヒドラジンとアンモニアを用いた場合には350-500Cの間であればよかった。ヒドラジンにメチル基のついた原料を用いて成長温度を下げた場合には、GaN低温成長バッファ層102が稠密で凹凸が小さくなり高温バッファ層103

層の特性を向上することが出来た。温度を1050Cまで上げてTMGとNH3厚さを用いてGaNバッファ層の(103下)を0.5-2ミクロン成長後、成長速度を上げて約20ミクロン成長後GaNの(1-100)面方向に2度傾けて研磨を行って研磨面104を出した。次にMOCVD法によりn-GaN層105、n-AlGaN層106、を成長した。その上部にGaN光ガイド層、Ga1-xInxN/Ga1-yInyNのMQWよりなる発光層、GaN光ガイド層からなる活性層107を成長した。更にp-AlGaNクラッド層108、p-GaNコンタクト層109を成長した。その後、p-GaN109上にSiO2とレジストを積層し通常のリソグラフィ法により(11-20)方向にストライプ構造のマスクを形成した。この後このマスクを用いてn-AlGaN層106、GaN光ガイド層、Ga1-xInxN/Ga1-yInyNのMQWよりなる発光層、GaN光ガイド層からなる活性層107、p-AlGaNクラッド層108、p-GaNコンタクト層109をECRまたはICPエッチングによりメサ構造110にエッチングした。この時活性層107部分でのメサの幅は1.2μmで上下の層よりも若干狭かった。この事は電流狭窄を行う上で重要となる。その後p-AlGaN111でその両側を埋め込んだ。その後p-AlGaN111を幅10-200μm程度残して外側をエッチングしてn-AlGaN層106途中までエッチングをした。ここでn-AlGaN106の表面に選択成長マスクを形成してp-AlGaN111を同程度の幅で選択成長してn-AlGaN106の表面を残してもよい。その後ECRエッチングによりn-AlGaN層106をエッチンしn-GaN105の表面112を出した。この時のエッチングの終点検出はエッチング中にAlの組成が急激に下がることをもって行った。その後n-電極コンタクト面112上にn電極113、メサ構造のトップにp電極114を形成してレーザ構造を作成した。

【0040】この時n-AlGaN層106、活性層107、p-AlGaNクラッド層108のなすヘテロ接合界面はサファイア基板(101)とGaN低温成長バッファ層(102)のなす屈折率差の大きいヘテロ接合界面に対して2度の傾きを持っている。またn-AlGaN層106、活性層107、p-AlGaNクラッド層108のなすヘテロ接合界面とサファイア基板(101)とGaN低温成長バッファ層(102)のなす屈折率差の大きいヘテロ接合界面との距離は20μm以上ある。さらに活性層107の幅は約1.2μmと狭い。このため、活性層107からの光がサファイア基板(101)とGaN低温成長バッファ層(102)のなすヘテロ接合界面で反射しても活性層に直接戻ることなくレーザのモードが影響を受けることはなかった。

【0041】また、GaNバッファ層103を成長し研磨面104を形成する際、以下の方法でも行った。原料にCH2Cl2或はGaCl3あるいはGaCl5あるいはHClを加えて、成長速度60μm/hで約300μmのGaN層(103上)を成長した。このあとGaNの(1-100)面方向に3度傾けて、この表面を研磨して研磨面。この時磷酸系エッチャントの中でメカノケミカルなエッチングを行うことで、ダメージの少ない鏡面を得ることが出来た。この場合にはGaN層(103上)を



300 $\mu$ m近く研磨できるので3度の傾きを1cmの幅のウェハ全体に形成することが出来た。

【0042】(実施例2) 図2は、本発明の第二の実施例でサファイア基板上に形成されたリッジ型の端面発光半導体素子の活性層の光の導派方向に垂直な断面である。図中の201-216はそれぞれ表面が(0001)面であるサファイア基板(201)、Ga $\text{N}$ 低温成長バッファ層(202)、Ga $\text{N}$ 高温成長層(203)、エッチングにより形成した斜面(204)、 $n$ -Ga $\text{N}$ バッファ層(205)と $n$ -AlGa $\text{N}$ クラッド層(206)、Ga $\text{N}$ 光ガイド層とGa $1-x$ In $x$ N/Ga $1-y$ In $y$ NのMQW発光層とGa $\text{N}$ 光ガイド層とAlGa $\text{N}$ 電流ブロック層とGa $\text{N}$ 光ガイド層よりなる活性層(207)、 $p$ -AlGa $\text{N}$ クラッド層(208)、 $p$ -Ga $\text{N}$ コンタクト層(209)、電流狭窄のメサ構造(210)、パッシベーション膜(211)、 $p$ 電極(212)、 $n$ 電極(213)、エッチング時に形成されるひさし(214)、エッチング時のひさしを除去したときのエッチング面(215)、素子分離のためのメサ構造(216)である。

【0043】図3は図2の実施例の光半導体素子作成工程図であり、以下図3を参照しながら作成方法について説明する。まずサファイア基板(201)上にMOCVDによる低温成長でGa $\text{N}$ バッファ層(202)を形成した。次に、温度を1050Cまで上げてTMGとNH $3$ を用いてGa $\text{N}$ バッファ層(203)を8 $\mu$ m成長した。次に選択エッチングマスク(301)を幅250 $\mu$ m間隔50 $\mu$ mで形成した。(図3a) 次にICPまたはECR法でエネルギーの高い状態で選択エッチングを行いエッチング面(204)とひさし(214)を形成した。(図3b) この時ビームの結晶表面に対する角度は任意の角度を選ぶことが出来るが、この実施例では、(1-100)方向に選択エッチングマスク(301)のストライブをもうけ、この垂直方向からエッチングビームを入射し、基板表面にたいしては、(0001)面から(11-20)面の方向に約19.5度傾けた。この時ビームの入射方向はストライブ方向に傾いていても、ビームのストライブに対して垂直成分がこの条件を満たしていれば、略同様なエッチングが出来、ストライブ方向の成分があるぶんより滑らかなエッチングが出来る。以上のような方法で、選択エッチングマスク(301)のスペース部分に所定(204)の斜面が形成される。斜面の傾きの均一性のためには選択成長マスクのスペース部分の幅は略10ミクロン以上必要である。一方エッチングがサファイア基板に到達すると後の段階での成長が不均一になりがちである。このため、エッチングの深さよりもGa $\text{N}$ バッファ層(203)の厚さが厚い方が望ましい。ところで、Ga $\text{N}$ バッファ層は10 $\mu$ m程度以下(この程度の桁)であることが望ましい。このため、マスクのスペース部分の幅は1mm以下であることが望ましい。ただし最大値に関してはこの制限は緩い。エッチングを行うと選択エッチングマスク(301)の下までエッチングされるが、この幅は傾斜面(204)の幅と略一致する。このため選択エッチングマスク(301)の幅はスペースの幅よりも必ず広くなる。傾斜面(204)形

成後、MOCVD法によりGa $\text{N}$ バッファ層(205)とAlGa $\text{N}$ クラッド層(206)、Ga $\text{N}$ 光ガイド層とGa $1-x$ In $x$ N/Ga $1-y$ In $y$ NのMQW発光層とGa $\text{N}$ 光ガイド層とAlGa $\text{N}$ 電流ブロック層とGa $\text{N}$ 光ガイド層よりなる活性層(207)、AlGa $\text{N}$ クラッド層(208)、Ga $\text{N}$ コンタクト層(209)を順次形成した。(図3c) 次に傾斜面(204)に形成した結晶欠陥の少ない部分を除き、リソグラフィ法によりAlGa $\text{N}$ クラッド層(206)、Ga $\text{N}$ 光ガイド層とGa $1-x$ In $x$ N/Ga $1-y$ In $y$ NのMQW発光層とGa $\text{N}$ 光ガイド層とAlGa $\text{N}$ 電流ブロック層とGa $\text{N}$ 光ガイド層よりなる活性層(207)、AlGa $\text{N}$ クラッド層(208)、Ga $\text{N}$ コンタクト層(209)さらにGa $\text{N}$ バッファ層(205)の途中まで除去した。さらに通常のバターニング法により傾斜面(204)上に傾斜方向と垂直な方向に幅2 $\mu$ mのストライブ構造(210)を残すように、Ga $\text{N}$ コンタクト層(209)とAlGa $\text{N}$ クラッド層(208)の一部分までをエッチングで除去した。(図3d) その後、絶縁膜(211)、 $p$ 電極(212)、 $n$ 電極(213)、を形成した。(図3e)

本実施例のようなリッジ構造のレーザでは電流狭窄のためのストライブ構造(210)よりも活性層(207)内での電流広がりが大きくなり、発光領域が数 $\mu$ m広がる。しかし、本実施例においては、基板201とGa $\text{N}$ バッファ層202のなす界面と、 $n$ -AlGa $\text{N}$ 層106とGa $\text{N}$ 光ガイド層、Ga $1-x$ In $x$ N/Ga $1-y$ In $y$ NのMQWよりなる発光層、Ga $\text{N}$ 光ガイド層からなる活性層107と $p$ -AlGa $\text{N}$ クラッド層108の3層のなす界面とが略20度の傾きを有しかつGa $\text{N}$ バッファ層(203)を8 $\mu$ mはやしている。このため基板201とGa $\text{N}$ バッファ層202のなす界面での反射光は発光した領域から6 $\mu$ m以上離れた場所に反射してくるので、活性層発光領域に戻らず、光学的な乱れの原因とならなかった。

【0044】本実施例のレーザ場合、(0001)面上に成長した類似の構造のレーザと比べて、光出力が2倍以上あった。これは傾斜面の傾きが(0001)面から略20度であり、概略(114)面と一致しているため、AlGa $\text{N}$ クラッド層(208)にMgをドーピングした場合、飽和Mg濃度、飽和キャリア濃度がともに(001)面上に比べて略40%あがることによる。

【0045】本実施例のうち図2b)のように形成したものでは、特に歩留りを上げることが出来た。これは、これは図2a)の場合と比べて凹凸が小さいので205-209の層を成長する際に均一に成長しやすいとともに、エッチングしたときに残ったひさし(214)がプロセス中に折れて残さがるのが少ないことによる。

(実施例3) 図4は、本発明の第3の実施例でサファイア基板上に形成された埋め込み型の端面発光半導体素子の活性層の光の導派方向に垂直な断面である。図中の401-412はそれぞれ表面が(0001)面であるサファイア基板(401)、Ga $\text{N}$ 低温成長バッファ層と高温バッファ層よりなる第一バッファ層(402)、選択成長により形成された $n$ -Ga $\text{N}$ 第二バッファ層(403)、 $n$ -AlGa $\text{N}$ クラッド(404)、Ga $\text{N}$ 光ガイド層とGa $1-x$ In $x$ N/Ga $1-y$ In $y$ NのMQW発光層

とGaN光ガイド層とAlGaN電流ブロック層とGaN光ガイド層よりなる活性層(405)、p-AlGaNクラッド層(406)、p-GaNコンタクト層(407)、電流狭窄のメサ構造(408)、AlGaN埋込み層(409)、エッチング面(410)、n電極(411)、p電極(412)である。

【0046】図5、6は図4の実施例の光半導体素子作成工程図であり、以下図5,6を参照しながら作成方法について説明する。まずサファイア基板(201)上にMOCVDにより480℃で45nm、1080℃で6μm成長したGaN第一バッファ層(202)を形成した。次に左から10μmのSiO<sub>2</sub>マスク(501)、30μmのスペース、200μmのマスク(502)、50μmのスペースの計300μmのパターンを繰り返し形成した。その後GaN第二バッファ層(403)、AlGaNクラッド(404)、GaN光ガイド層とGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>NのMQW発光層とGaN光ガイド層とAlGaN電流ブロック層とGaN光ガイド層よりなる活性層(405)、AlGaNクラッド層(406)、GaNコンタクト層(407)を選択成長した。ここに図5a)は選択成長の鳥瞰図、図5b)は選択成長マスクパターンの上

面図である。次に、SiO<sub>2</sub>(506)を1.5μm幅でパターンニングして、このSiO<sub>2</sub>(506)をマスクにして電流狭窄のメサ構造(408)を形成した(図6c)。次にメサ構造(408)をAlGaN埋込み層(409)で埋め込んだ(6d)。その後エッチングによりAlGaN埋込み層(409)とGaN第二バッファ層(403)一部分までをエッチングしてGaN第二バッファ層(405)上にn電極(411)を形成した。またSiO<sub>2</sub>(506)を除去した後にp電極(412)を形成した。

(実施例4) 図7に本発明の第4の実施例のSiC基板上に形成された導波方向が基板と傾斜した方向となる光半導体素子を示す。図中の701-713はそれぞれ表面が(0001)面であるp-SiC基板(701)、p-GaNバッファ層(702)、p-GaN層とp-Ga<sub>1</sub>N層よりなるクラッド層(703)、GaN光ガイド層とAlGaN電流ブロック層とGaN光ガイド層とGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>NのMQW発光層とGaN光ガイド層よりなる活性層(704)、活性層(704)の中のGaN光ガイド層に形成された回折格子(705)、n-AlGaNクラッド層(706)、n-GaNコンタクト層(707)、n電極(708)、p電極(709)、共振器の端面(710)および(711)、ARコート膜(712)、HRコート膜(713)である。

【0047】図8は図7の実施例の光半導体素子作成工程図であり、以下図8を参照しながら作成方法について説明する。まずSiC基板(701)上にMOCVD法によりGaNバッファ層(702)を形成した。次に図8a)に示すような、空隙の太い部分と狭い部分の繰り返しパターンを持つSiO<sub>2</sub>選択成長マスク(801)を形成した。ここで、空隙の狭い部分は50μm、太い部分は300μmとし、マスク全体の幅は600μmとした。太い部分と狭い部分の繰り返しピッチは1mmとした。次にGaN層とGa<sub>1</sub>N層よりなるクラッド層(703)、GaN光ガイド層とAlGaN電流ブロック層とGaN光ガイド層とGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>NのMQW発光層とGaN光ガイド層よりなる活性層(704)をMOCVDによる

選択成で形成し、活性層(704)の中のGaN光ガイド層上に回折格子(705)を形成した。この時のストライプ方向の断面ABを図8b)に示す。マスクの空隙の広い部分では成長速度が遅く狭い部分では速くなった。次にMOCVD法によりAlGaNクラッド層(706)とGaNコンタクト層(707)を成長した(図8c)。その後幅1μm残してGaNコンタクト層(707)、AlGaNクラッド層(706)、GaN光ガイド層とAlGaN電流ブロック層とGaN光ガイド層とGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>NのMQW発光層とGaN光ガイド層よりなる活性層(704)、およびGaN層とGa<sub>1</sub>N層よりなるクラッド層(703)のうちのGaN層の途中までエッチング除去して、メサ構造(802)を形成した。その後、メサの両側を、AlGaN層(803)で埋め込んだ。n電極(708)とp電極(709)を形成した後、エッチングにより平坦部(804)を除去して同時にチップ端面(710)と(711)を形成した。その後ウェハをバ

ー状にしてSiN<sub>2</sub>AR膜(712)を形成した。其の後、端面(711)上にSiN<sub>2</sub>のパッシベーション膜をつけた上で酸化ハフニウムとSiO<sub>2</sub>のHRコート膜(713)を形成した。

【0048】本実施例のレーザでは共振器の長手方向に基板(701)とGaN(702)のなす界面と活性層(704)周辺の界面が傾斜しているので基板(701)とGaN(702)のなす界面で反射した光はARコート膜(712)を形成した端面(710)側に集中する。このため、レーザの出力を効率よく取り出すことができた。また本発明のレーザは基板としてpタイプのSiCを用いたので電極抵抗を減らすことができた。またp-AlGaNを活性層形成前に形成できるのでp側を活性層上に形成した場合に比べて、より高濃度でMgを添加しても活性層中への拡散を抑制することができた。またメサ形成の際に結晶軸とメサ方向がほぼ平行なので対象性の良い目ざ構造を形成でき、光のリークが少ないのでしきい値を下げることができた。

【0049】本実施例では回折格子を作製したが、特に回折格子で決まる共振器の波長を活性層の発光のピーク波長よりも数十meV長波長側に設定すると特にしきい値を下げることができた。これは活性層が結晶の特異面から傾斜しているために活性層内でIn組成の高い部分が規則正しくできており、発光のピークよりも長波長側にキャリアの注入効率の高いエネルギー領域が形成されているためである。

【0050】本実施例では回折格子を作製し端面にはAR、HRコートを施したが、端面が共振器の方向と垂直になるように端面をエッチングあるいは研磨すれば、このような端面処理が無くともレーザ発振させることができる。

(実施例5) 図9に本発明の第5の実施例のサファイア基板上に形成された埋め込み型の発光素子を示す。図中901-920はサファイア基板(901)、GaN低温バッファ層(902)、GaN高温バッファ層(903)、GaN第二バッファ層(904)、AlGaNとGaInNよりなるMQWバッファ層(905)、n-GaN第三バッファ層(906)、n-GaIn層(907)、n-

GaN層(908)、n-GaAlN中間組成層(909)、n-GaAlNクラッド層(910)、GaN光ガイド層とGaInN/GaInNのMQW発光層とGaInN光ガイド層とGaN光ガイド層とAlGaIn光ガイド層よりなる活性層(911)、p-GaNエッチストップ層(912)、p-GaAlNクラッド層(915)、p-AlGaIn中間組成層(916)、p-GaNコンタクト層(917)、パッシベーション膜(918)、n電極(919)、p電極(920)、p-AlGaIn埋込み層(913)、n-GaAlN埋込み層(914)よりなる。本実施例の発光素子では、サファイア基板(901)上に、厚さ50nmのGaN低温バッファ層(902)、厚さ300nmのGaN高温バッファ層(903)を形成後、GaN高温バッファ層(903)を(1-100)方向に2度傾けて研磨した。その後GaN第二バッファ層(904)、AlGaInとGaInNよりなるMQWバッファ層(905)、GaN第三バッファ層(906)、GaInN層(907)、GaN層(908)、GaAlN中間組成層(909)、GaAlNクラッド層(910)、GaN光ガイド層とGaInN/GaInNのMQW発光層とGaInN光ガイド層とGaN光ガイド層とAlGaIn光ガイド層よりなる活性層(911)、GaNエッチストップ層(912)、GaInNダミー層を形成した。この上にSiNの選択成長マスクを幅1.5μmで導波方向が基板と傾斜した方向となるように形成し、GaAlNクラッド層(910)の一部、GaN光ガイド層とGaInN/GaInNのMQW発光層とGaInN光ガイド層とGaN光ガイド層とAlGaIn光ガイド層よりなる活性層(911)、GaNエッチストップ層(912)、GaInNダミー層をエッチングしてメサ構造を形成した。この後p-AlGaIn埋込み層(913)、n-GaAlN埋込み層(914)を形成した。SiN膜を除去した後燐酸系のエッチャントまたはドライエッチングでGaInNダミー層を除去した。この後、GaAlNクラッド層(915)、AlGaIn中間組成層(916)、GaNコンタクト層(917)をMOCVD法で形成した。この後、GaN層(908)の一部、GaAlN中間組成層(909)、GaAlNクラッド層(910)、GaAlNクラッド層(915)、AlGaIn中間組成層(916)、GaNコンタクト層(917)をエッチングしてGaN層(908)の表面を出した。この後、パッシベーション膜(918)を形成するとともに、n電極(919)、p電極(920)を形成した。

【0051】本実施例の半導体レーザでは基板を研磨しているので、光の反射を抑制する効果に加えて、ウェハーの傾きが均一であり、活性層内のInの組成、pクラッド層のMg濃度が特に均一にでき、レーザのしきい値を下げる事ができた。また基板と活性層の間にMQWを設けたので、転移がMQWと平行に走り、MQWの上と下で転移密度が略2倍違っていた。更に、GaInN層(907)を設けたので、この上部と下部での格子定数差に伴う歪みを吸収し、内部に欠陥を生成することで活性層側に転移が生成するのを防ぐ事ができた。この効果は(0001)面上でも同じように生じるが、本発明の場合(0001)面から傾いているので、転移がGaInN内で成長せず、活性層側に大きな転移網として伝播することがより少なかった。このため、本実施例の半導体レーザでは、基板側に設けたGaNとは大きく格子定数が異なるAlGaInを埋込み層に用いて

も基板と埋込み層との間での転位の発生が抑制され、埋め込みレーザ本来の性能が発揮でき、リッジ型のレーザに比べてしきい値を数分の一にすることができた。また本発明では電極抵抗をさえるためにGaNコンタクト層(917)とAlGaInクラッド層(915)の間にAl組成がその間であるAlGaIn中間組成層(916)を設けた。このヘテロ界面は同時にMgの拡散防止の効果も有する。本発明の場合、Mgのドーピング濃度、p型キャリア濃度を上げやすいが、このため、不純物の拡散が突発的に起こることがある。AlGaIn中間組成層(916)を導入することでこの影響を低減でき歩留まりを上げることができた。

(実施例6) 図10は本発明の第5の実施例の半導体光素子に関わる概略説明図である。1001-1014は(11-24)面方位のAlN基板(1001)、AlNバッファ層(1002)、GaNバッファ層(1003)、AlGaIn/GaN超格子バッファ層(1004)、n-GaNバッファ層(1005)、n-GaInNバッファ層(1006)、n-GaNコンタクト層(1007)、n-AlGaInクラッド層(1008)、GaN/GaInNの量子井戸発光層(1009)、p-AlGaInクラッド層(1010)、p-GaNコンタクト層(1011)、絶縁膜(1012)、p電極(1013)、n電極(1014)である。ここでAlNとGaNとは2%の格子歪みがあるが、超格子バッファ層(1004)を用いることで量子井戸内の転位密度を減らすことができた。また(11-24)面を用いることでpのドーピング効率が(0001)面に対してGaNの場合で40%AlGaInの場合で20%向上することができた。また基板がAlNであるので熱の放散の効果が大きく最高発振温度がサファイア基板の場合の80℃から120℃まで上がった。

【0052】本実施例ではAlN基板を用いたが、基板としてSiCやGaNを用いてもよいことは言うまでもない。SiCの場合(0001)面から(11-20)方向に略13度傾ければ2-HのSiCで(11-24)方向となるので、その上には(11-24)面のGaNが成長できるようになった。

(実施例7) 図11は本発明の第6の実施例の半導体光素子に関わる概略説明図である。1101はpタイプの6H-SiCの(0001)面から(11-20)方向に約80度傾斜した基板であり、1102-1112はp-GaNバッファ層(1102)、p-AlGaIn/GaN超格子バッファ層(1103)、p-GaNバッファ層(1104)、p-GaInNバッファ層(1105)、p-GaNコンタクト層(1106)、p-AlGaInクラッド層(1107)、GaN/GaInNの量子井戸発光層(1108)、n-AlGaInクラッド層(1109)、p-GaNコンタクト層(1110)、絶縁膜(1111)、n電極(1112)、p電極(1113)である。本実施例の場合成長したGaN等は(44-81)面で成長した。(0001)面から(11-20)方向に約80度傾斜したSiC基板を用いたので、2HのSiCというなら略(44-81)面と一致した面が出ている。SiCとGaNの格子定数差が小さいのでGaN(1102)が成長する際に基板と類似の面が形成されたからである。基板にSiCを用いたので熱伝導率が高く温度特性が向上できた。特にp型になり易いSiC基板を用いることで電極抵抗を下げる事ができた。また基板の面方位が(44-81)であり、(11-24)の場合以上に転

移が超格子に沿って方向を変える効率が高かったので活性層中の転位密度を下げる事ができた。また基板裏面から電極を取れるのでプロセスが容易であった。

【0053】本実施例では6-HのSiCを用いたが4-Hや2-H、15R、3C等のSiCを用いてよいこととは言うまでもない。本実施例ではSiCを基板に用いたが(44-81)のGaNを基板に用いた場合、発光領域まですべて窒化物で良好な結晶が形成でき、発光効率の高い素子が得られた。またGaNがウルツァイト構造で(44-81)面の結晶に対して縦横ともに完全に結晶格子が基板上にエピタキシーする層と一致するので良質な結晶が成長できることにもよる。また本実施例では(0001)面から約80度傾けた2-HのSiCに換算しての $(h\ m\ -h\ -m\ n)$  ( $|n/h|$ または $|n/m|$ の一方が3以上または1/3以下、 $n$ は0ではない)の指数付けが行われる面方位のSiCあるいは当該指数のGaNを用いればいずれの方向でも本発明を適用することが出来る。本実施例では基板にpタイプのものを用いたが、nタイプのものを用いて上下反対方向に電流を流してもよいこととも言うまでもない。

(実施例8) 図12は本発明の第7の実施例の電界効果型トランジスターに関わる概略説明図である。図中1201-1210はそれぞれAlN基板1201、GaN電子走行層1202、幅0.1μmのAlNゲート層1203、GaNコンタクト層1204、Siのイオン注入により形成した高濃度のnタイプのソース領域1205、イオン注入により形成した高濃度のnタイプのドレイン領域1206、絶縁膜1207、ソース電極1208、ゲート電極1209、ドレイン電極1210である。本実施例中のGaN電子走行層はAlNと略2%の格子歪みを有する。このためGaNの臨界膜厚は2-3nmであり本実施中でもこれ以下の厚さにしないと急激にリーク電流の増加が認められた。GaNとAlNの場合電子障壁差の最も小さな方向でもGaAsとAlAsの1.5倍程度ある。このため2次元電子ガスの密度は数桁大きくできる。本実施例のGaN電子走行層の厚さは通常のHEMTと比べて1桁程度小さいが、蓄積可能な2次元電子ガス密度が高いのでトータルのシート密度は $10^{13}\text{cm}^{-2}$ 以上の高い値が得られた。また、GaN走行層1202の厚さが薄く、AlNの耐圧が高いためにAlNゲート層1203の厚さを数十nmと薄くできたことも有り、大きなゲインを得ることができた。またAlN、GaNの臨界電圧が高いことも有り、 $f_t$ が50GHzと高速動作が可能であった。サファイア基板上に形成した場合と比べるとAlNの誘電定数が大きいことおよびGaNが臨界膜厚以下と薄いことから電界の広がりが大きくサファイア基板上に同様のディメンジョンで形成した場合と比べて、ゲートドレイン間の電圧を30%以上かけることができた。またAlNの熱伝導率が高いためにサファイア基板を用いた場合と比べるとほぼ同様の構造の電界効果デバイスで動作電力を3倍以上とすることができた。ゲート1203の一部分にSiをドーピングすると特に2次元電子ガスの密度を上げることができた。

(実施例9) 図13は本発明の第8の実施例の電界効果

型トランジスターに関わる概略説明図である。図中1301-1312は、SiC(0001)面から(11-20)方向に略10度傾いた基板1301、AlGaN/GaNの超格子バッファ層1302、AlNバッファ層1303、GaN電子走行層1304、高濃度のn型不純物を添加したGaInNドレインコンタクト層1305、高濃度のn型不純物を添加したGaInNソースコンタクト層1306、AlNゲート層1307、GaInNゲート制御層1308、絶縁膜1309、ドレイン電極1310、ゲート電極1311、ソース電極1312である。本実施例では(11-2-8)面のGaN、AlN、AlGaNが形成されたので、nタイプの不純物は取り込まれやすかったが、pタイプの不純物は入りにくく特に2次元電子ガスの移動度を容易に上げることができた。またSiC基板を用いたことで熱伝導度が高く温度上昇が小さかったのでエレメントの高密度架が容易で素子のハイパワー化ができた。またAlNバッファ層1303の厚さを2μm以上にした場合には、ゲートとドレイン間のリーク電流、素子間のクロストークともにAlN基板上に形成した場合と大きな差はなかった。本実施例では電子走行層にGaNを用いているがSiCを用いてもよく、この場合AlNとの格子定数差が小さいので電子走行層の厚さを10-15nm程度まで厚くすることができ、またAlNとのヘテロバリアも高くなるので2次元電子ガスの密度で $10^{14}\text{cm}^{-2}$ ときわめて高い値を実現できた。

【0054】以上本発明の種々の実施例について説明してきたが、AlN、GaN、SiCの基板に関しては、バルク結晶でも、他の基板の上に堆積した後他の基板を剥離したものでもよい。また、厚さが十分有りその上に形成する素子に対して、バルクの性質を示せば他の基板の上に形成したもので良い。この場合の厚さは、数十μm以上となる。また基板としては $\text{Al}_x\text{Ga}_{1-x}\text{In}_y\text{N}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq 1-x-y \leq 1$ )でもよく、この場合格子定数をAlNとGaNとInNの間の任意の値に設定できるのでデバイスに加わる歪みを低減することができる。また電氣的にもコンタクト抵抗を下げる等のデバイス特性の向上を実現できる。

【0055】基板のoff方向としては特定の特異面からのoff角度のみならずoffの方向に関して特定の結晶軸に固定されるものではなく、種々の方向また結晶軸からわずかにずれた方向であってもよいこととも言うまでもない。

【0056】

【発明の効果】六方晶系の材料において、基板とエピタキシーで形成したデバイスの材料の光学的特性が異なる場合および格子定数が異なる場合に発生する反射による光学的ノイズ、格子定数差による結晶欠陥のデバイス領域中への進入を抑制することで光学的特性に優れた光半導体素子および電子デバイスを提供する。

【図面の簡単な説明】

【図1】本発明の第一の実施例に関わる半導体レーザの概略説明断面図。

【図2】本発明の第二の実施例に関わる半導体レーザの概略説明断面図。

【図3】本発明の第二の実施例の半導体レーザの製造方法の概略説明断面図。

【図4】本発明の第三の実施例の半導体レーザの概略説明断面図。

【図5】本発明の第三の実施例に関わる半導体レーザの製造方法の概略説明斜視図および上面図。

【図6】本発明の第三の実施例に関わる半導体レーザの製造方法の概略説明断面図（続き）。

【図7】本発明の第四の実施例に関わる半導体レーザの概略説明断面図。

\*【図8】本発明の第四の実施例の半導体レーザの製造方法の概略説明断面図。

【図9】本発明の第五の実施例に関わる半導体レーザの概略説明断面図。

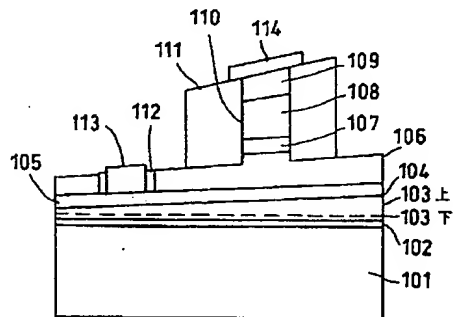
【図10】本発明の第六の実施例に関わる光半導体素子の概略説明断面図。

【図11】本発明の第七の実施例に関わる光半導体素子の概略説明断面図。

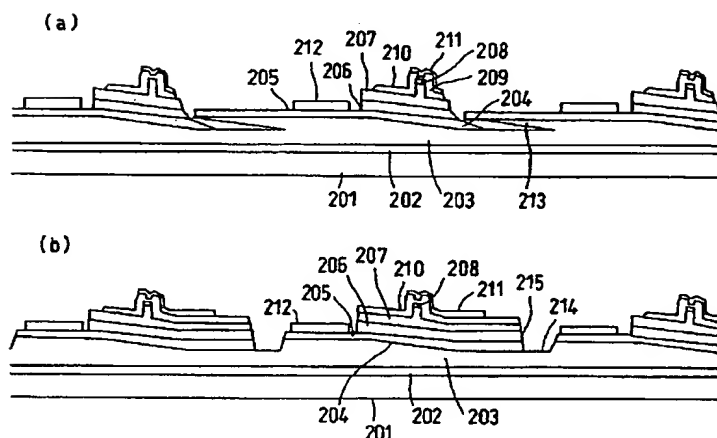
【図12】本発明の第八の実施例に関わる電界効果トランジスタの概略説明断面図。

【図13】本発明の第九の実施例に関わる電界効果トランジスタの概略説明断面図。

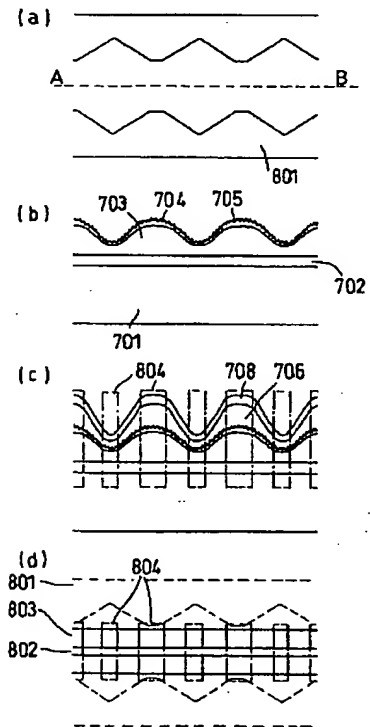
【図1】



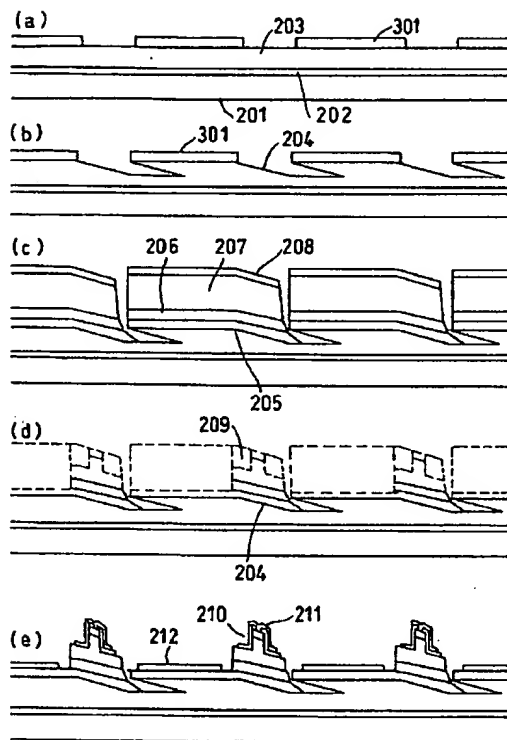
【図2】



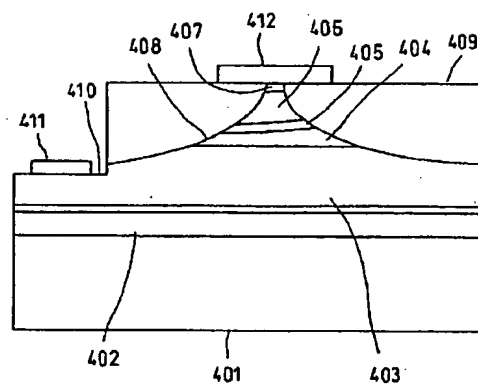
【図8】



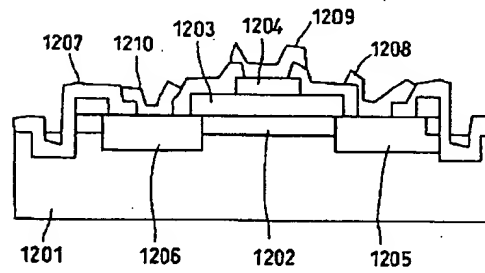
【図3】



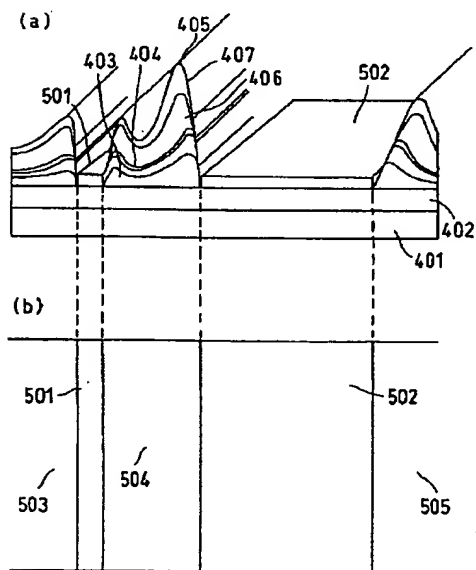
【図4】



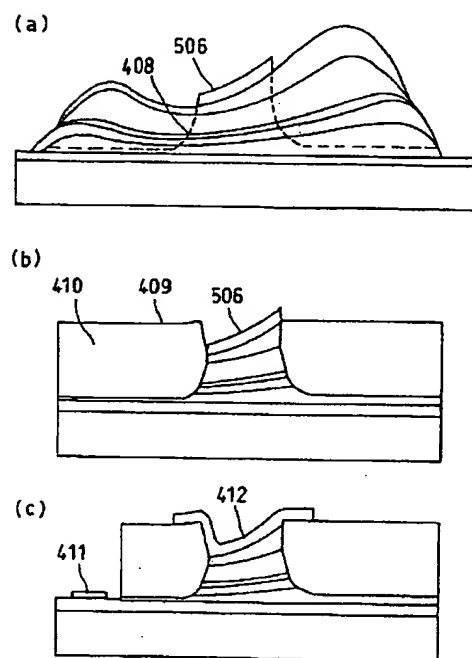
【図12】



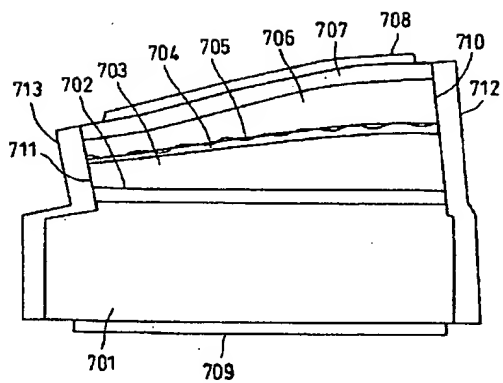
【図5】



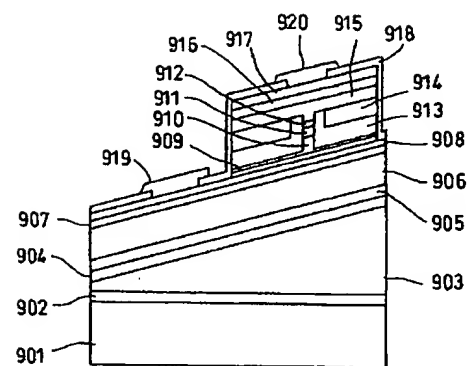
【図6】



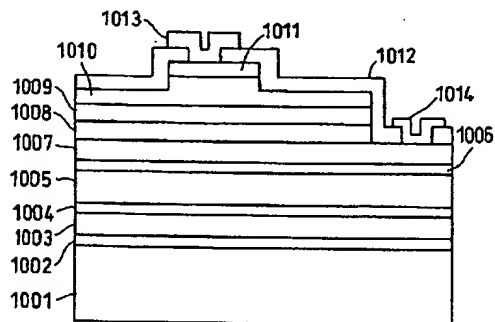
【図7】



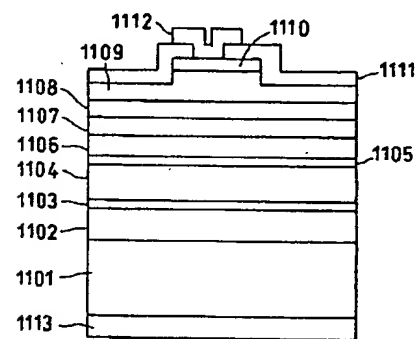
【図9】



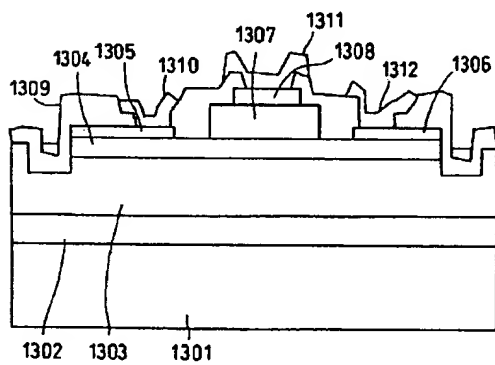
【図10】



【図11】



【図13】



フロントページの続き

(51)Int.Cl.

H01L 29/73

29/778

21/338

識別記号

F I

H01L 29/72

29/80

テーマコード(参考)

H

29/812

33/00

Fターム(参考) 5F003 AZ01 BB90 BF06 BG06 BJ16  
BM03 BP11 BP32 BZ03  
5F041 AA06 CA05 CA33 CA34 CA40  
CA46 CA65 CA74  
5F073 AA11 AA21 AA55 AA74 CA07  
CB02 CB05 CB07 DA05 DA23  
DA24  
5F102 FA02 GB01 GC01 GD01 GJ02  
GJ04 GK04 GK08 GK09 GL02  
GL04 GL09 GM04 GN04 GQ01  
GR01 GR03 GT02 GT06 HC01  
HC15